

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.



PATENT ABSTRACTS OF JAPAN

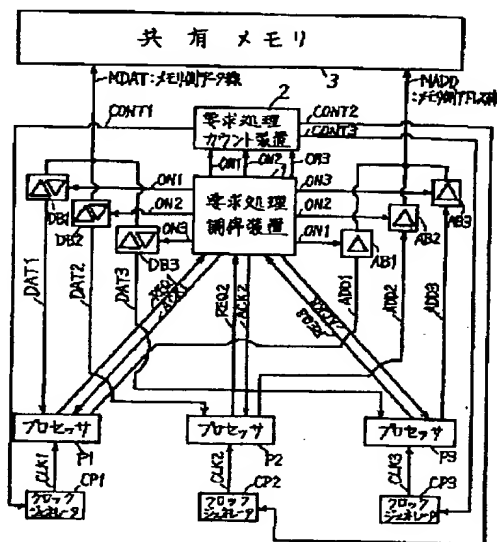
(11) Publication number: **05028116 A**(43) Date of publication of application: **05 . 02 . 93**(51) Int. Cl. **G06F 15/16**(21) Application number: **03180797**(71) Applicant: **SHARP CORP**(22) Date of filing: **22 . 07 . 91**(72) Inventor: **SAKAMOTO TATSUHIKO**(54) **MULTIPROCESSOR SYSTEM**

(57) Abstract:

PURPOSE: To provide a multiprocessor system having the excellent processing ability by improving the total processing speed of the system together with reduction of the power consumption.

CONSTITUTION: The access requests given to a shared memory 3 from the processors P1-P3 are decided by the active states of the request signals REQ 1-REQ3. Then the adopted requests of the processors are shown to a request processing counting device 3 in the form of the buffer control signals ON1-ON3. The device 2 counts the request processing frequency of the processors P1-P3 in each prescribed period of time. Based on these counting results, the cycles of the operation clock signals CLK1-CLK3 which are supplied to the processing P1-P3 via the clock generators CP1-CP3 are variably controlled.

COPYRIGHT: (C)1993,JPO&Japio



(19)日本国特許庁 (J P)

(12) 公開特許公報

(11) 特許出願公開番号

特開平5-28116

(43)公開日 平成5年(1993)2月5日

(51)Int.Cl.

G 0 6 F 15/16

識別記号

3 2 0 M 8840-5L

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 2 (全 13 頁)

(21)出願番号

特願平3-180797

(22)出願日

平成3年(1991)7月22日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 坂本 辰彦

大阪市阿倍野区長池町22番22号 シャープ

株式会社内

(74)代理人 弁理士 深見 久郎

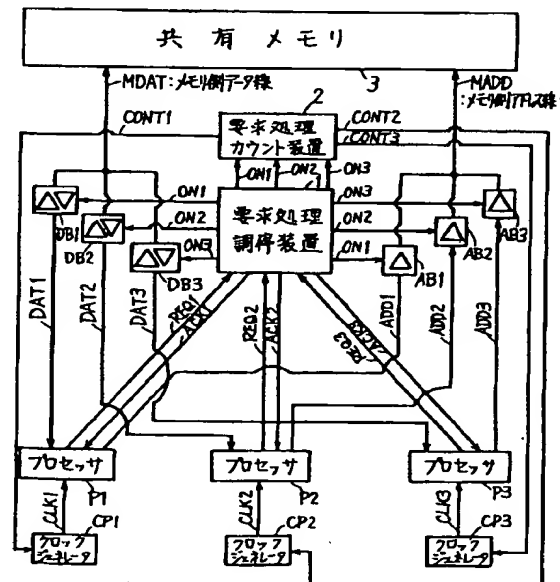
本件の特許は、
第1項のXと第2項のYと
第3項のCLKとを
要求する

(54)【発明の名称】 マルチプロセッサシステム

(57)【要約】

【目的】 この発明の目的は、システム全体の処理速度を向上させ、かつ消費電力などの必要資源を低減させて、処理能力に優れたマルチプロセッサシステムを提供することである。

【構成】 前記システムは、プロセッサP1～P3から共有メモリ3へのアクセス要求をリクエスト信号REQ1～REQ3のアクティブ状態で判断し、どのプロセッサからの要求を採用したかをバッファ制御信号ON1～ON3にして要求処理カウント装置2に与える。装置2は、所定単位時間期間毎に各プロセッサの要求処理回数を測定し、その測定結果に基づいてクロックジェネレータCP1ないしCP3を介してプロセッサP1ないしP3に供給する動作クロック信号CLK1ないしCLK3の周期を可変制御するよう構成される。



CONT1, CONT2, CONT3: 70-71 図の符号

ON1, ON2, ON3: バッファ制御信号

CLK1, CLK2, CLK3: プロセッサ信号

ADD1, ADD2, ADD3: アドレス線

DAT1, DAT2, DAT3: データ線

AB1, AB2, AB3: アドレスバッファ

DB1, DB2, DB3: データバッファ

ACK1, ACK2, ACK3: アドレス信号

REQ1, REQ2, REQ3: リクエスト信号

【特許請求の範囲】

【請求項1】 複数のプロセッサを有するマルチプロセッサシステムであって、

前記各プロセッサによりアクセスされる記憶手段と、
前記各プロセッサの単位時間当たりに前記記憶手段をアクセスする回数を個別にカウントするカウンタ手段と、
前記各プロセッサに、その処理の速度を指定する動作クロックを個別に供給するクロック供給手段とを備え、
前記クロック供給手段は、前記カウンタ手段によってカウントされた各カウンタ値に応じて、該当する前記動作クロックの供給の周期を可変にすることを特徴とする、
マルチプロセッサシステム。

【請求項2】 前記カウンタ手段は、

前記各プロセッサが単位時間当たりに前記記憶手段をアクセスする要求を出力する回数を個別にカウントする要求回数カウンタ手段をさらに備えた、請求項1記載のマルチプロセッサシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、マルチプロセッサシステムに関し、特に、各プロセッサに供給されて、各プロセッサの処理速度を決定する動作クロックを制御するマルチプロセッサシステムに関する。

【0002】

【従来の技術】 図6は、共有メモリを利用した従来のマルチプロセッサシステムの概略構成の一例を示す図である。

【0003】 図6に示されるマルチプロセッサシステムは、共有メモリ3および共有メモリコントローラ11aを含む共有メモリ部10と、共有バスを介して接続され、それぞれが独自にCPU（中央処理装置の略）を含むプロセッサP1、P2およびP3を含み、さらにプロセッサP1ないしP3のそれぞれにその動作クロックを供給するために接続されるクロックジェネレータCP4、CP5およびCP6をそれぞれ含む。図6に示されるマルチプロセッサシステムは、複数のプロセッサP1ないしP3のそれぞれが、共有メモリ部10の共有メモリ3を共有メモリコントローラ11aを介して共通にアクセスできるように構成されている。

【0004】 図7は、前掲図6に示されたマルチプロセッサシステムを、共有メモリコントローラ11aの部分を中心にして詳細に示した構成図である。

【0005】 一般に、マルチプロセッサシステムでは複数のプロセッサが1つの記憶装置を共有することにより、いくつかの仕事が（処理が）分離されて並列に実行できるという特徴がある。

【0006】 図7においては、共有メモリ3と複数のプロセッサP1ないしP3の間に共有メモリコントローラ11aが詳細に示される。

【0007】 図7において共有メモリコントローラ11

aは要求処理調停装置1a、アドレスバッファAB1、AB2およびAB3ならびにデータバッファDB1、DB2およびDB3を含む。アドレスバッファAB1ないしAB3は、それぞれプロセッサP1ないしP3に対応して設けられる。同様に、データバッファDB1ないしDB3は、それぞれプロセッサP1ないしP3のそれぞれに対応して設けられる。アドレスバッファAB1ないしAB3のそれぞれは、メモリ側アドレス線MADDを介して共有メモリ3に接続されるとともに、アドレス線ADD1、ADD2およびADD3のそれぞれを介して対応する各プロセッサに接続される。データバッファDB1ないしDB3のそれぞれはメモリ側データ線MDATを介して共有メモリ3に接続されるとともに、データ線DAT1、DAT2およびDAT3のそれぞれを介して対応する各プロセッサに接続される。プロセッサP1ないしP3のそれぞれには、順にクロックジェネレータCP4、CP5およびCP6が接続される。クロックジェネレータCP4ないしCP6のそれぞれは、対応するプロセッサに対して、その処理速度を決定するような動作クロックをクロック信号CLK1、CLK2およびCLK3にして個別に一定周期で供給している。

【0008】 プロセッサP1ないしP3のそれぞれは、その処理中に共有メモリ3に対してアクセスを行なう要求が発生したとき、このアクセスを要求するためにリクエスト信号REQ1、REQ2およびREQ3のそれぞれをアクティブにして要求処理調停装置1aに与える。プロセッサP1ないしP3のそれぞれは、リクエスト信号REQ1ないしREQ3のそれぞれをアクティブにして出力後は、要求処理調停装置1aからアクノレッジ（肯定応答）信号ACK1、ACK2およびACK3の対応する信号がアクティブにして与えられるまで、リクエスト信号REQ1ないしREQ3のそれぞれをアクティブにして出力し続ける。

【0009】 要求処理調停装置1aはまた、アドレスバッファAD1ないしAD3のいずれかを導通状態にするために、またデータバッファDB1ないしDB3のいずれかを導通状態にするために、選択的にバッファ制御信号ON1ないしON3のいずれかをアクティブにして出力する。

【0010】 要求処理調停装置1aは、与えられるリクエスト信号REQ1ないしREQ3の各信号状態に基づいて、いずれのプロセッサに対して共有メモリ3へのアクセス要求を許可するかを決定を行なう。このときアクセス要求が許可されたプロセッサに対しては、共有メモリ3へのアクセスを可能とするために、要求処理調停装置1aは、要求が許可されたプロセッサに対応するアドレスバッファAB1ないしAB3のいずれか、およびデータバッファDB1ないしDB3のいずれかを導通状態にするために、要求処理が行なわれている期間は、対応するバッファ制御信号ON1ないしON3のいずれかを

アクティブにして出力する。たとえば、プロセッサP1の共有メモリ3へのアクセス要求が許可された場合は、要求処理調停装置1aはバッファ制御信号ON1をアクティブにして導出し、アドレスバッファAB1およびデータバッファDB1を導通状態にする。これによりデータ線DAT1は導通状態のデータバッファDB1を介してメモリ側データ線MDATと接続されて、プロセッサP1と共有メモリ3との間にデータ線が確立される。これに並行してアドレス線ADD1は導通状態となったアドレスバッファAB1を介してメモリ側アドレス線MADDと接続されて、プロセッサP1と共有メモリ3との間にアドレス線が確立される。このように、プロセッサP1はリクエスト信号REQ1をアクティブにして出力すれば、要求処理調停装置1aの制御により導通状態となったアドレスバッファAB1およびデータバッファDB1を介して共有メモリ3をアクセスすることができる。同様にしてプロセッサP2またはP3についても、要求処理調停装置1aによりバッファ制御信号ON2またはON3がアクティブにして出力され、アドレスバッファAB2またはAB3が導通状態となり、データバッファDB2またはDB3が導通状態となることにより、共有メモリ3をアクセスすることができる。

【0011】図8は、従来および本発明の実施例に適用される要求処理調停装置の要求処理調停の動作を示す概略フロー図である。

【0012】図8に示されるように要求処理調停装置1aは動作において、与えられるリクエスト信号REQ1、REQ2およびREQ3のそれぞれを、その信号レベルに基づいて順次判定する。その判定結果に基づいて対応するバッファ制御信号ON1ないしON3をアクティブにして導出し、アクセス要求が許可決定されたプロセッサに対して共有メモリ3へのアクセス経路が確立されるように処理している。詳細には、要求処理調停装置1aはまず図8のステップST1（図中、ST1と略す）ないしステップST3の判別処理を順次行ない、常に、どのリクエスト信号がアクティブにして与えられているか否かを判別している。たとえば、リクエスト信号REQ1がアクティブであると判別された場合、要求処理調停装置1aはステップST1の処理を経て次のステップST4の処理において、バッファ制御信号ON1をアクティブにして導出し、アドレスバッファAB1およびデータバッファDB1を導通状態に設定する。これによりプロセッサP1が共有メモリ3をアクセスできるように、共有メモリ3との間にデータ線およびアドレス線が確立される。その後、要求処理調停装置1aはステップST5の処理においてプロセッサP1における共有メモリ3へのアクセス要求処理が終了したか否かを判別している。この判別処理はプロセッサP1が共有メモリ3をアクセス開始してからアクセス終了するまでの予め定められた時間期間が計時されることにより判別される。

要求処理調停装置1aはプロセッサP1の共有メモリ3へのアクセスが終了したことを判別すると、次のステップST6の処理に移行し、アクノレッジ信号ACK1をアクティブにして導出するとともに、アクティブ状態であったバッファ制御信号ON1を非アクティブ状態に設定する。これにより、要求処理調停装置1aは次のリクエスト信号REQ1ないしREQ3のいずれかを受付け可能な状態に移行できる。その後、処理は再びステップST1に戻る。

【0013】なお、プロセッサP2またはプロセッサP3についてもリクエストREQ2またはREQ3の信号レベルに基づいて同様な処理フローが実行される。

【0014】

【発明が解決しようとする課題】しかしながら、上述した従来のマルチプロセッサシステムでは、各プロセッサに個別に供給される動作クロックは常に一定周期で供給されるため、システム全体としてその動作が非効率的であるばかりでなく、その処理能力の向上を図ることは極めて困難であるという問題があった。つまり、たとえば図7に示されるマルチプロセッサシステムにおいて、共有メモリ3への単位時間期間当たりのアクセス要求回数が最多であるものがプロセッサP2であったと想定すれば、プロセッサP2のアクセス要求を優先的に処理して処理能力を向上させる必要がある。しかしながら、プロセッサP2に供給されるクロック信号CLK2は、アクセス要求の多少にかかわらず常に一定周期を維持するため、アクセス要求は、クロック信号CLK2に同期して出力されて、プロセッサP2内では、アクセス要求の待ち行列が生じる。これはプロセッサP2に関して述べたが、プロセッサP1およびP3においても同様のことがいえる。したがって、従来のマルチプロセッサシステムでは、各プロセッサの処理能力、ひいてはシステム全体の処理能力が各プロセッサに供給される動作クロックの周期で制限されるという問題があった。

【0015】それゆえにこの発明の目的は、システム全体の処理速度を維持し、かつ消費電力などの必要資源を低減させて、コストパフォーマンスに優れるとともに処理能力に優れたマルチプロセッサシステムを提供することである。

【0016】

【課題を解決するための手段】この発明にかかるマルチプロセッサシステムは、複数のプロセッサを有するマルチプロセッサシステムであり、詳細には前記各プロセッサによりアクセスされる記憶手段と、各プロセッサの単位時間あたりに前記記憶手段をアクセスする回数を個別にカウントするカウント手段と、前記各プロセッサに、その処理の速度を指定する動作クロックを個別に供給するクロック供給手段とを備え、このクロック供給手段は、カウント手段によってカウントされた各カウント値に応じて、該当する前記動作クロックの供給の周期を可

変にするよう構成される。

【0017】また、カウント手段は、各プロセッサが単位時間あたりに記憶手段をアクセスする要求を出力する回数を個別にカウントする要求回数カウント手段をさらに備えて構成されてもよい。

【0018】

【作用】この発明にかかるマルチプロセッサシステムは上述のように構成されて、カウント手段は単位時間あたりに各プロセッサが記憶手段をアクセスする回数または記憶手段をアクセスする要求を出力する回数をプロセッサごとに個別にカウントし、クロック供給手段はこのカウントされた各カウント値に応じて該当するプロセッサへの動作クロックの供給周期を可変に制御しているの
で、記憶手段へのアクセス要求およびアクセス処理が多いプロセッサ、つまり処理速度が高速であることが望まれるプロセッサに対してはその動作クロックの供給周期は短く設定され（その動作速度が高速化され）、記憶手段へのアクセス処理およびアクセス要求が少ないプロセッサ、つまり処理速度が比較的低速であっても許される
プロセッサに対してはその動作クロックの供給周期は長くされ（動作速度を遅くする）るよう可変調整することができる。

【0019】

【実施例】以下、この発明の実施例を図面を参照して詳細に説明する。

【0020】図1は、本発明の一実施例によるマルチプロセッサシステムの構成を示す概略図である。

【0021】図においてマルチプロセッサシステムはプロセッサP1、P2およびP3を含み、プロセッサP1ないしP3のそれぞれに対して個別にその処理速度を決定するためのクロック信号CLK1、CLK2およびCLK3を供給するクロックジェネレータCP1、CP2およびCP3を備える。さらにマルチプロセッサシステムは要求処理調停装置1、要求処理カウント装置2、プロセッサP1ないしP3により共有してアクセスされる共有メモリ3、アドレスバッファAB1、AB2およびAB3、ならびにデータバッファDB1、DB2およびDB3を含む。アドレスバッファAB1ないしAB3のそれぞれは、メモリ側アドレス線MADDにより共有メモリ3に接続され、アドレスバッファAB1はアドレス線ADD1によりプロセッサP1に接続され、同様にしてアドレスバッファAB2はアドレス線ADD2によりプロセッサP2に、さらにアドレスバッファAB3はアドレス線ADD3によりプロセッサP3にそれぞれ接続される。データバッファDB1ないしDB3のそれぞれは、メモリ側データ線MDATを介して共有メモリ3に接続される。データバッファDB1はデータ線DAT1を介してプロセッサP1に接続され、同様にしてデータバッファDB2はデータ線DAT2を介してプロセッサP2に、さらにデータバッファDB3はデータ線DAT

3を介してプロセッサP3にそれぞれ接続される。

【0022】プロセッサP1ないしP3のそれぞれは、その処理中に共有メモリ3に対してアクセスを行なう要求が発生したとき、それぞれリクエスト信号REQ1、REQ2およびREQ3を個別にアクティブにして要求処理調停装置1に与える。プロセッサP1ないしP3のそれぞれは、リクエスト信号REQ1ないしREQ3のそれぞれをアクティブにして出力後は、要求処理調停装置1からのアクノレッジ信号ACK1ないしACK3の対応する信号がアクティブにして与えられるまで、リクエスト信号REQ1ないしREQ3のそれぞれをアクティブにして出力し続ける。要求処理調停装置1は、リクエスト信号REQ1ないしREQ3の各信号状態に基づいて、いずれのプロセッサに対してそのアクセス要求を許可するかの決定を行なう。アクセスが許可されたプロセッサに対しては、共有メモリ3へのアクセス経路を確立するために、該当するアドレスバッファAB1ないしAB3のいずれかが導通状態にされるとともに、データバッファDB1ないしDB3のいずれかを導通状態にする。すなわち要求処理調停装置1はたとえば、プロセッサP1のリクエスト信号REQ1のアクティブ状態を検知すると、応じて共有メモリ3へのアクセスを許可する。詳細には、データバッファDB1ならびにアドレスバッファAB1を導通状態にするためにバッファ制御信号ON1をアクティブにして導出する。このアクティブ状態のバッファ制御信号ON1が与えられると、データバッファDB1およびアドレスバッファAB1は導通状態となり、これによりデータ線DAT1とメモリ側データ線MDATは接続され、プロセッサP1と共有メモリ3との間のデータ線が確立される。並行してアドレスバッファAB1が導通状態となることによりアドレス線ADD1とメモリ側アドレス線MADDとが接続されて、プロセッサP1と共有メモリ3との間のアドレス線が確立される。また要求処理調停装置1はリクエスト信号REQ2またはREQ3に基づいてバッファ制御信号ON2またはON3をアクティブにして出力することにより、プロセッサP2またはプロセッサP3と共有メモリ3とのアクセス経路を確立させるように処理している。したがって要求処理調停装置1は、各プロセッサから与えられるリクエスト信号REQ1ないしREQ3のそれぞれを処理し、アクセスを許可したプロセッサに対してのみ共有メモリ3とのアクセス経路を確立させるような、共有メモリ3へのアクセス要求の調停処理を行なっている。

【0023】要求処理カウント装置2は要求処理調停装置1から与えられるバッファ制御信号ON1ないしON3により、現在どのプロセッサに対して共有メモリ3へのアクセス要求処理が許可されているかが報知される。要求処理カウント装置2は、与えられるバッファ制御信号ON1ないしON3のそれぞれについて、単位時間当

たりにその信号状態がアクティブ状態となった回数をカウント処理している。このカウント値は、バッファ制御信号ON1に対してはクロック周波数制御信号CONT1として導出されて、クロックジェネレータCP1に与えられる。また、バッファ制御信号ON2についてはクロック周波数制御信号CONT2として導出されて、クロックジェネレータCP2に与えられる。さらにバッファ制御信号ON3についてはクロック周波数制御信号CONT3として導出されて、クロックジェネレータCP3に与えられる。詳細は後述するが、クロック周波数制御信号CONT1ないしCONT3のそれぞれは、クロックジェネレータCP1ないしCP3のそれぞれに対して、出力するクロック信号CLK1ないしCLK3のそれぞれの周波数を可変制御させるように作用する。

【0024】図1に示される要求処理調停装置1の要求処理調停時の動作は、図8において示された処理フローと同様にして行なわれるので、詳細説明は省略する。

【0025】図2は、前掲図1に示された要求処理カウント装置2の動作を説明するためのタイミングチャート図である。

【0026】要求処理カウント装置2は、要求処理調停装置1から与えられるバッファ制御信号ON1ないしON3のそれぞれを監視し、単位時間当たりの各プロセッサからの共有メモリ3へのアクセス要求処理回数をカウントする。そしてこのカウントの状態により、クロック周波数制御信号CONT1ないしCONT3にそれぞれ値を設定し、クロックジェネレータCP1ないしCP3のそれぞれに与える。これにより、アクセス要求処理回数に応じてクロック信号CLK1ないしCLK3のそれぞれの周波数が変更されプロセッサP1ないしP3のそれぞれの処理速度が可変調整される。この周波数の変更は周波数の増減で行なわれる。その周波数増減規則は、たとえばプロセッサP1ないしP3のうち、所定の単位時間内で共有メモリ3へのアクセス処理が一番多かったプロセッサのクロック信号の周波数を次の単位時間期間、現在の周波数の2倍に設定し、共有メモリ3へのアクセス処理が一番少ないプロセッサのクロック信号の周波数を次の単位時間期間、現在の1/2倍に設定するという規則を採用していると想定する。また、各プロセッサが共有メモリ3へのアクセス処理を行なったかどうかは、バッファ制御信号ON1ないしON3の該当する信号がアクティブ状態になったことにより判定される。

【0027】図2において、時刻 $t_0 \sim t_1$ の単位時間T期間においては、要求処理カウント装置2は、バッファ制御信号ON1がアクティブ状態となったことを3回カウントし、同様にバッファ制御信号ON2については0回、さらにバッファ制御信号ON3については1回それぞれカウントし、これに基づいて対応のクロック周波数制御信号CONT1ないしCONT3のそれぞれを設定して、対応するクロックジェネレータCP1ないしC

P3のそれぞれに与える。これにより、図2の時刻 t_1 においては、クロック信号CLK1の周波数は現在の2倍に設定変更され、同様にしてクロック信号CLK2は現在の1/2倍の周波数に設定される。この時刻 t_1 において設定された周波数は、次の単位時間Tの測定点である時刻 t_2 まで継続される。次に、時刻 $t_1 \sim t_2$ までの単位時間Tの期間においては、プロセッサP1における共有メモリ3へのアクセス処理が0回、プロセッサP2における共有メモリ3へのアクセス処理が1回、同様にプロセッサP3における共有メモリ3へのアクセス処理が3回行なわれたことがわかる。これにより、図2の時刻 t_2 においては、前述と同様にして、プロセッサP1の動作速度を決定するクロック信号CLK1の周波数は現在の1/2倍に設定され、プロセッサP3の動作速度を決定するクロック信号CLK3の周波数は、現在の2倍に設定される。

【0028】このように、ある単位時間期間における各プロセッサの共有メモリ3へのアクセス処理頻度を測定することにより、各プロセッサに供給される動作クロックの周波数を可変制御して、その処理速度を調整できる。

【0029】図3は、前掲図1に示された要求処理カウント装置2の概略構成図である。図3において、要求処理カウント装置2はカウンタ回路21、22および23、タイマ24およびカウント値比較回路25を含む。タイマ24は、前掲図2に示された単位時間Tを計時し、計時終了すると、応じてカウンタリセット信号RSおよび単位時間終了信号RTを導出する。カウンタ回路21ないし23のそれぞれは、カウンタリセット信号RSを入力するリセット端子Rおよびバッファ制御信号ON1ないしON3のそれぞれを入力するためのクロック端子CKを有する。カウンタ回路21ないし23は、クロック端子CKを介して与えられるバッファ制御信号ON1ないしON3がアクティブ状態となった回数をカウントし、そのカウント値を逐次カウント値信号C1、C2およびC3にしてカウント値比較回路25に与えるよう動作する。またカウンタ回路21ないし23のそれぞれは、タイマ24によって計時される図2の単位時間T経過ごとにカウンタリセット信号RSが与えられ、応じてリセットがかけられ新たなカウント動作を開始する。カウント値比較回路25は、タイマ24から単位時間T経過ごとに単位時間終了信号RTが与えられ、応じて前段に接続されるカウンタ回路21ないし23から与えられるカウント値信号C1ないしC3を比較する。この比較結果により、カウント値が最多であるプロセッサに対しては、その処理速度が高められるような、逆にそのカウント値が最少であるプロセッサに対しては、その処理速度が低減されるような信号がクロック周波数制御信号CONT1ないしCONT3のそれぞれに設定されて導出される。

【0030】図4は、前掲図1に示されたクロックジェネレータCP1の概略構成図である。なお、図4ではクロックジェネレータCP1を示しているが、クロックジェネレータCP2およびCP3についても同様な機能構成とその動作が採られるので、これらに関する詳細な説明は省略する。

【0031】図4において、クロックジェネレータCP1は安定した周期でクロックを発振する水晶発振器30、1/2分周回路31、1/4分周回路32および1/8分周回路33ならびにクロック周波数選択回路34を含む。分周回路31ないし33のそれぞれは、水晶発振器30から与えられる安定周期のクロック信号を入力し、1/2分周、1/4分周および1/8分周した後、次段のクロック周波数選択回路34に与える。したがって、クロック周波数選択回路34は周波数が異なる4種類のクロック信号を同時に入力する。クロック周波数選択回路34は、要求処理カウント装置2から導出されるクロック周波数制御信号CONT1を入力し、この信号に基づいて与えられる4つのクロック信号のいずれか1つを選択して、クロック信号CLK1として導出する。たとえば、クロック信号CLK1に水晶発振器30が出力するクロック信号が導出されていたと想定する。このときクロック周波数制御信号CONT1が周波数減を意図する信号内容であったならば、クロック周波数選択回路34は1/2分周回路31から導出されるクロック信号をクロック信号CLK1に導出するよう動作する。

【0032】なお、この実施例では、4種類の動作クロックを選択するようにしているが、これに特定されずさらに多種の周波数が設定されるように分周回路を設けてもよい。

【0033】次に、図1に示されるマルチプロセッサシステムにおける共有メモリ3へのアクセス要求処理の調停動作と、このアクセス処理頻度に応じて各プロセッサの処理速度を可変制御する動作について図1ないし図4を参照して説明する。

【0034】なお、図1のプロセッサP1ないしP3のそれぞれは、同程度の処理内容を実行している、すなわち同程度に共有メモリ3のアクセスを必要とするような処理を実行していると想定する。また、クロックジェネレータCP1ないしCP3のそれぞれは、図4の1/4分周回路32が出力するクロックに同期したクロック信号CLK1ないしCLK3のそれぞれを、対応するプロセッサP1ないしP3のそれぞれに供給して処理速度を制御していると想定する。

【0035】各プロセッサP1ないしP3は、並行して処理を実行し共有メモリ3へのアクセス要求が生じると、応じてリクエスト信号REQ1ないしREQ3のそれぞれをアクティブにして要求処理調停装置1に出力する。要求処理調停装置1は、前述したように、与えられるリクエスト信号REQ1ないしREQ3の各信号状態

がアクティブであるか否かを判定し、これに応じて該当するプロセッサに対して共有メモリ3へのアクセスを許可する。そのために、該当するアドレスバッファAB1ないしAB3のいずれかとデータバッファDB1ないしDB3のいずれかを導通状態とするように、バッファ制御信号ON1ないしON3のいずれかをアクティブにして導出する。このバッファ制御信号ON1ないしON3のそれぞれは、要求処理カウント装置2にも与えられる。

【0036】要求処理カウント装置2は、前掲図3でも述べたように、単位時間Tをタイマ24により計時しながら、バッファ制御信号ON1ないしON3のそれぞれが単位時間Tにおいてアクティブとなった回数をカウントしている。このとき、図2の時刻t0～t1の単位時間Tにおいては、バッファ制御信号ON1が3回アクティブ状態となり、バッファ制御信号ON2は0回、同様にバッファ制御信号ON3は1回アクティブ状態となったので、カウント値比較回路25はカウント値を比較し、その比較結果に応じて、クロック周波数制御信号CONT1には周波数増の旨の信号を設定し、クロック周波数制御信号CONT2には周波数減の旨の信号を設定して導出する。導出されたクロック周波数制御信号CONT1ないしCONT3のそれぞれは、クロックジェネレータCP1ないしCP3のそれぞれに与えられる。したがって、クロックジェネレータCP1は図4に示される1/2分周回路31から導出されるクロック信号をクロック信号CLK1として導出するよう動作し、クロックジェネレータCP3は現在のクロック周波数を維持し、クロックジェネレータCP2は1/8分周回路33から導出されるクロック信号をクロック信号CLK2として導出するよう動作する。これによって、プロセッサP1の処理速度は2倍に高速化され、プロセッサP2の処理速度は1/2倍にされ、プロセッサP3の処理速度は維持される。

【0037】上述したように、共有メモリ3に対するプロセッサP1ないしP3のそれぞれのアクセス要求処理頻度に応じて各プロセッサの動作クロックを可変制御すると、プロセッサが使用される頻度に応じて各プロセッサの処理速度を可変制御できる。つまり、使用頻度が高いプロセッサについてはその処理速度が速くなり、逆に使用頻度が低いプロセッサについてはその処理速度は遅くなる。したがって、このマルチプロセッサシステム全体では、共有メモリ3をアクセスするための待ち時間

(遊び時間)は短くなり、処理速度は動作クロック周期一定の場合に比較し向上する。また、所定の単位時間期間ごとに、その動作クロックがアップされるプロセッサと、ダウンされるプロセッサが選択的に切換えられるために、該マルチプロセッサシステム全体における消費電力は、その処理能力に比較し低減されることになる。

【0038】図5は、本発明の他の実施例によるマルチ

プロセッサシステムの概略構成図である。図5に示されるマルチプロセッサシステムは、前掲図1に示されたマルチプロセッサシステムに、ローカルメモリ（局所メモリ）LM1ないしLM3を新たに設けている。つまり、プロセッサP1ないしP3のそれぞれは、個別にアクセスするローカルメモリLM1ないしLM3のそれぞれを接続する。一般に、共有メモリをアクセスする頻度が高いプロセッサは、ローカルメモリをアクセスする頻度も高いことが知られている。したがって、プロセッサP1ないしP3のそれぞれの共有メモリ3へのアクセス処理頻度に応じてその動作クロックを可変制御することにより、対応するローカルメモリLM1ないしLM3とのアクセス処理も可変制御され、前掲図1で述べたような処理能力の向上と消費電力の低減が効果的に図られる。

【0039】なお、本実施例ではプロセッサP1ないしP3のそれぞれから共有メモリ3へのアクセス処理頻度、すなわち該当するバッファ制御信号ON1ないしON3のそれぞれが所定時間期間にアクティブ状態に変わったカウント回数に基づいて各プロセッサの動作クロックを可変制御したが、必ずしもこのような方法に特定されるものではない。たとえば、プロセッサP1ないしP3のそれぞれが、リクエスト信号REQ1ないしREQ3のそれぞれを所定単位時間期間当たりアクティブにして出力した回数、すなわちアクセス要求頻度を用いて、各プロセッサの動作クロックを可変制御してもよい。

【0040】上述した実施例によるマルチプロセッサシステムは、共有メモリ3を含むが、共有メモリ3を含まず、プロセッサP1ないしP3がアクセスするメモリはローカルメモリLM1ないしLM3のみとするようなシステム構成としてもよい。この場合、プロセッサP1ないしP3のそれぞれが、該当するローカルメモリLM1ないしLM3のそれぞれを単時間あたりにアクセスする回数が個別にカウントされる。そして、その各カウント値に基づいて該当するクロックジェネレータCP1ないしCP3のそれぞれのクロック供給周期が上述したようにして可変制御される。この場合も、図1で述べたような処理能力の向上と消費電力の低減が効果的に図られる。

【0041】また、本実施例では該マルチプロセッサシステムはプロセッサP1ないしP3の3個を含むとしたが、該システムを構成するプロセッサの数はこれに特定されるものではない。

【0042】

【発明の効果】以上のように、この発明によれば、カウント手段は単位時間あたりに各プロセッサが記憶手段をアクセスする回数またはアクセス要求の出力回数をプロセッサごとに個別にカウントし、クロック供給手段は、

カウントされたカウント値に応じて各プロセッサへの動作クロックの周期を可変にしているので、記憶手段へのアクセス処理またはアクセス要求が多いプロセッサ、つまり処理速度が高速であることが望まれるプロセッサに対しては動作クロックの供給周期が短くされて、その動作速度は高速化され、逆に記憶手段へのアクセス処理またはアクセス要求が少ないプロセッサ、つまり処理速度が比較的低速であっても許されるプロセッサに対しては動作クロックの供給周期が長く（動作速度を遅く）されるように可変設定できるので、システム全体としての処理速度を向上させながらも、システム全体としての消費電力などの必要資源は低減されるという効果がある。この効果により、システム全体として、コストパフォーマンスに優れたシステムを提供することが可能となるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例によるマルチプロセッサシステムの構成を示す概略図である。

【図2】図1に示された要求処理カウント装置の動作を説明するためのタイミングチャート図である。

【図3】図1に示された要求処理カウント装置の概略構成図である。

【図4】図1に示されたクロックジェネレータの概略構成図である。

【図5】本発明の他の実施例によるマルチプロセッサシステムの概略構成図である。

【図6】共有メモリを利用した従来のマルチプロセッサシステムの概略構成の一例を示す図である。

【図7】図6に示されたマルチプロセッサシステムを、共有メモリコントローラの部分を中心にして詳細に示した構成図である。

【図8】従来および本発明の実施例に適用される要求処理調停装置の要求処理調停の動作を示す概略フロー図である。

【符号の説明】

1 要求処理調停装置

2 要求処理カウント装置

3 共有メモリ

P1、P2およびP3 プロセッサ

CP1、CP2およびCP3 クロックジェネレータ

ON1、ON2およびON3 バッファ制御信号

CONT1、CONT2およびCONT3 クロック周波数制御信号

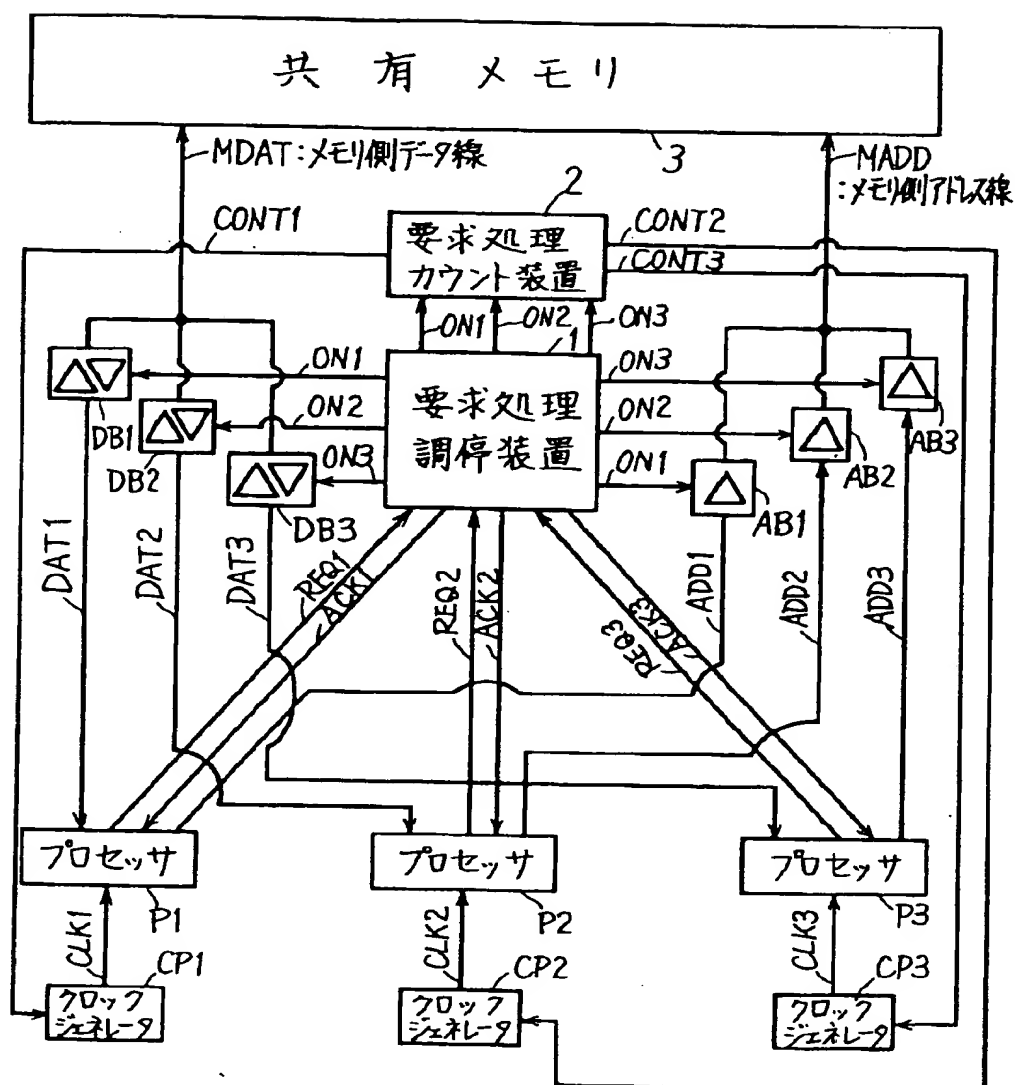
CLK1、CLK2およびCLK3 クロック信号

REQ1、REQ2およびREQ3 リクエスト信号

T 単位時間

なお、各図中、同一符号は同一または相当部分を示す。

【図1】



CONT1, CONT2, CONT3: クロック周波数制御信号

ON1, ON2, ON3: バッファ制御信号

CLK1, CLK2, CLK3: クロック信号

ADD1, ADD2, ADD3: アドレス線

DAT1, DAT2, DAT3: データ線

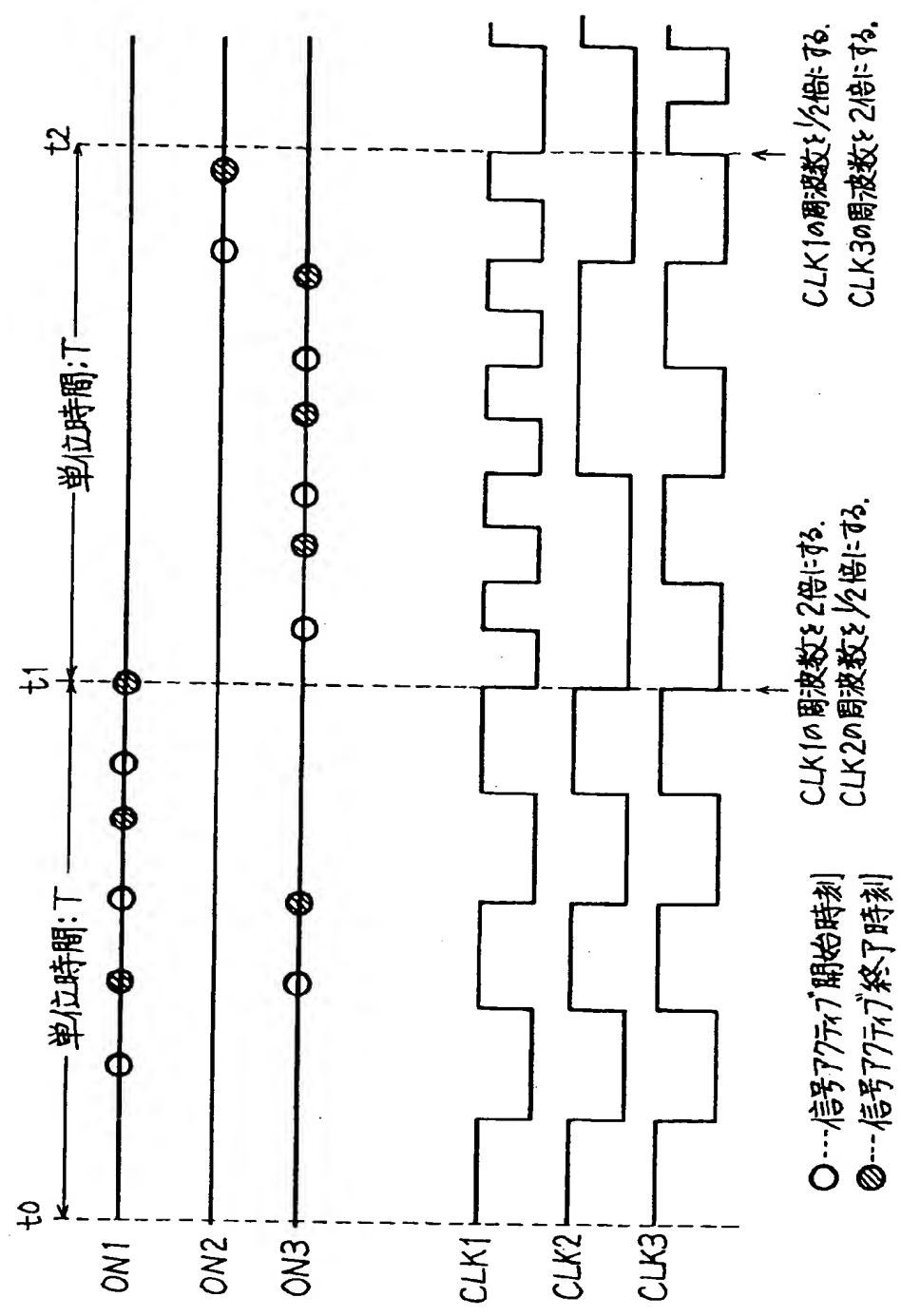
AB1, AB2, AB3: アドレスバッファ

DB1, DB2, DB3: データバッファ

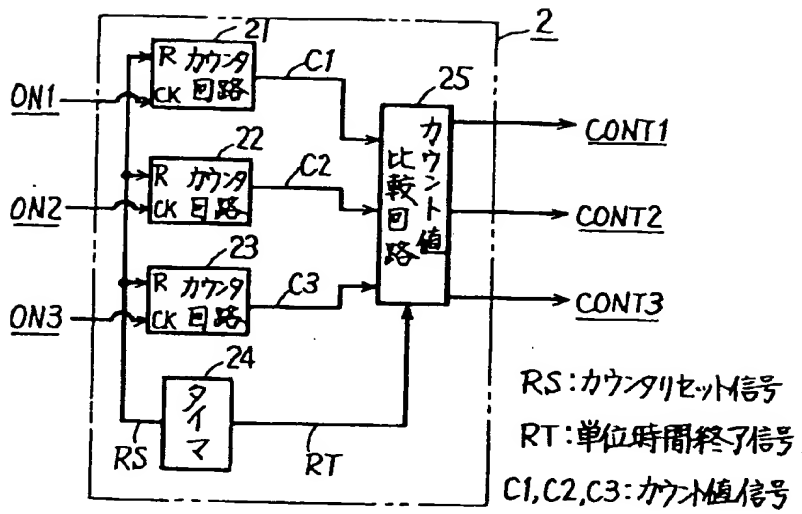
ACK1, ACK2, ACK3: アクレスジ信号

REQ1, REQ2, REQ3: リクエスト信号

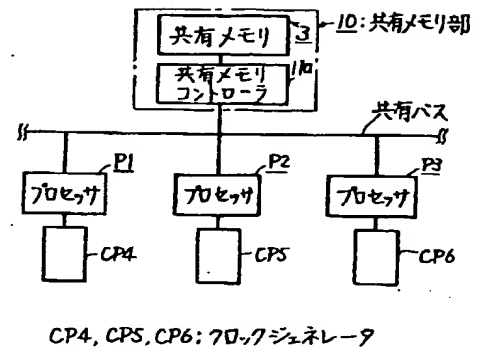
【図2】



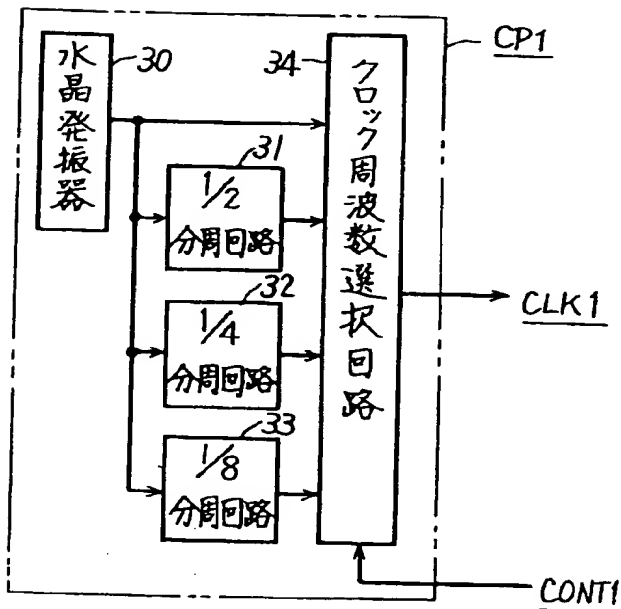
【図3】



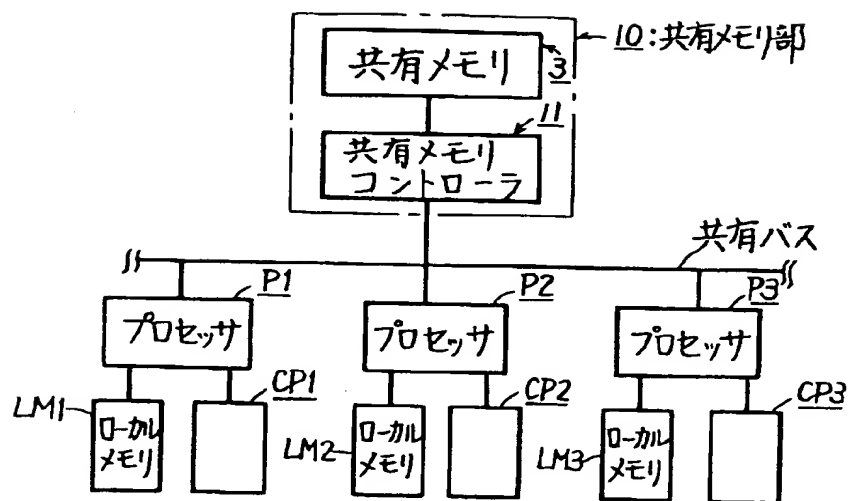
【図6】



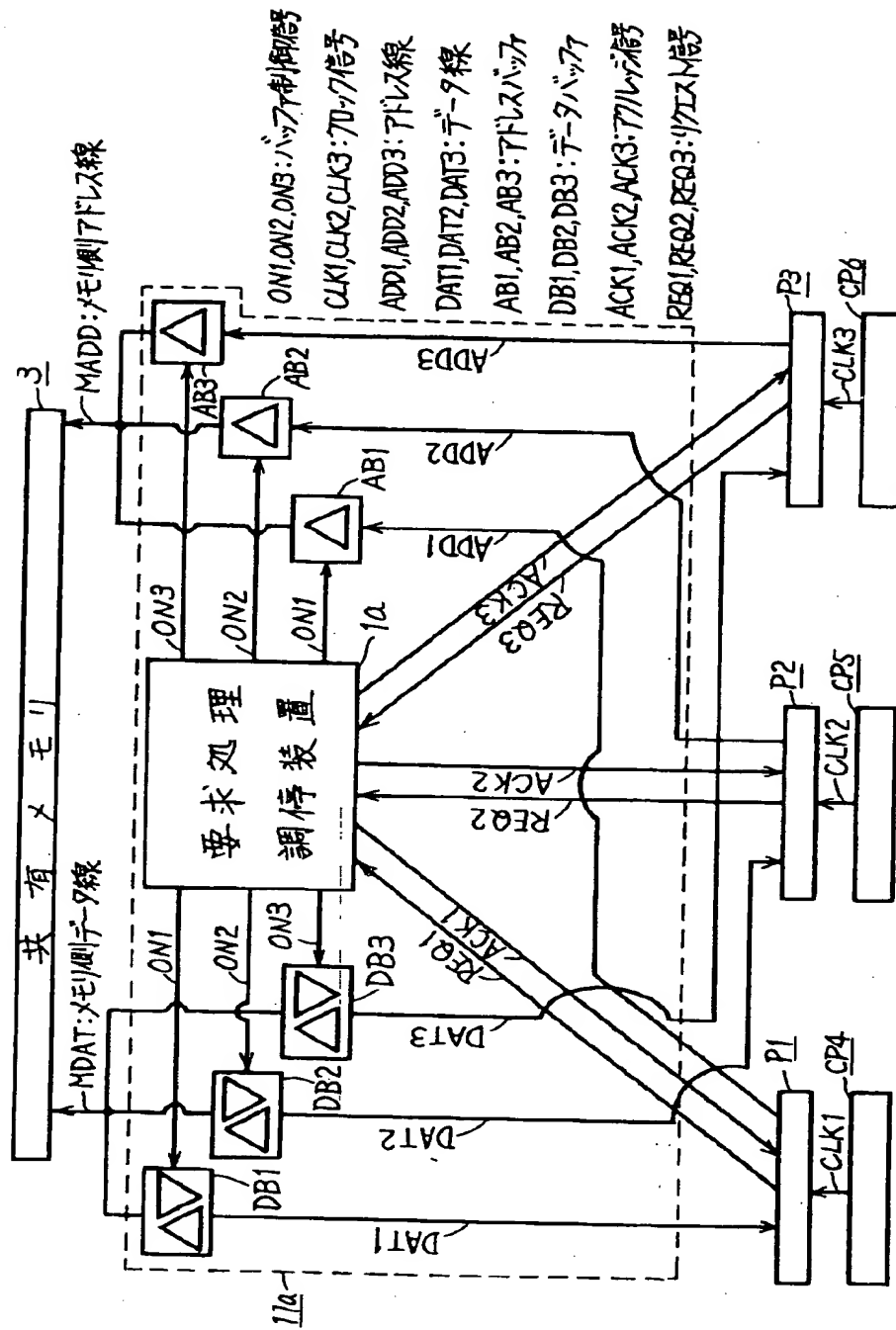
【図4】



【図5】



【図7】



F:FALSE(偽)
T:TRUE(真)

